

1/5/2 (Item 2 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2005 Thomson Derwent. All rts. reserv.

014717607 \*\*Image available\*\*  
WPI Acc No: 2002-538311/200257  
XRPX Acc No: N02-426317

**High-frequency circuit**

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ ); MITSUBISHI DENKI KK  
(MITQ )

Inventor: CHATANI Y; KURIHARA M; MIYAZAKI M; OH-HASHI H; OHWADA T; UCHIDA H  
Number of Countries: 025 Number of Patents: 002

**Patent Family:**

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 200256409	A1	20020718	WO 2002JP100	A	20020110	200257 B
JP 2002217603	A	20020802	JP 20015731	A	20010112	200266

Priority Applications (No Type Date): JP 20015731 A 20010112

**Patent Details:**

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

WO 200256409	A1	J 50	H01P-003/08	
--------------	----	------	-------------	--

Designated States (National): CA CN IN KR US

Designated States (Regional): AT BE CH CY DE DK ES FI FR GB GR IE IT LU

MC NL PT SE TR

JP 2002217603	A	15	H01P-001/20
---------------	---	----	-------------

Abstract (Basic): WO 200256409 A1

NOVELTY - A dielectric substrate (51) is inserted into the air layer between a ground conductor (31) and a dielectric substrate (21), and a dielectric substrate (61) into the air layer between a ground conductor (41) and a dielectric substrate (21).

USE - High-frequency circuit

DESCRIPTION OF DRAWING(S) - Dielectric substrate (51)

Ground conductor (31)

Dielectric substrate (21)

Dielectric substrate (61)

Ground conductor (41)

pp; 50 DwgNo 4/33

Title Terms: HIGH; FREQUENCY; CIRCUIT

Derwent Class: W02

International Patent Class (Main): H01P-001/20; H01P-003/08

International Patent Class (Additional): H01P-001/203; H01P-001/213;  
H01P-005/02

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217603

(P2002-217603A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H 0 1 P 1/20		H 0 1 P 1/20	A 5 J 0 0 6
1/213		1/213	M
5/02	6 0 3	5/02	6 0 3 E

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願2001-5731 (P2001-5731)

(22) 出願日 平成13年1月12日 (2001.1.12)

(71) 出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大和田 哲

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 内田 浩光

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

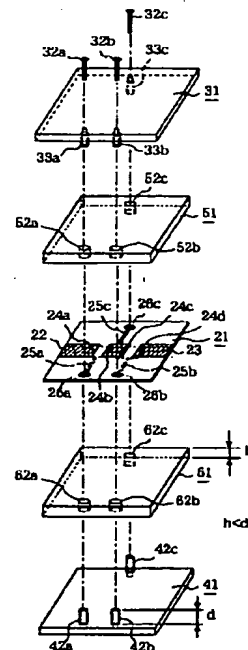
最終頁に続く

(54) 【発明の名称】 高周波回路

(57) 【要約】

【課題】 ストリップ導体が形成される誘電体基板2と地導体1、3の間に空気層15、16が存在し、回路内を伝搬する高周波信号の大部分が空気層15、16に分布する。そのため、波長短縮効果がほとんど無く、回路が大型になるという課題があった。

【解決手段】 地導体31と誘電体基板21間の空気層に誘電体基板51を挿入するとともに、地導体41と誘電体基板21間の空気層に誘電体基板61を挿入する。



## 【特許請求の範囲】

【請求項1】 ストリップ導体が形成された第1の誘電体基板と、上記第1の誘電体基板の上面側に配置された第1の地導体と、上記第1の誘電体基板の下面側に配置された第2の地導体と、上記第1の地導体と上記ストリップ導体を電氣的に接続するとともに、上記第2の地導体と上記ストリップ導体を電氣的に接続する短絡手段とを備えた高周波回路において、上記第1の地導体と上記第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、上記第2の地導体と上記第1の誘電体基板間の空気層に第3の誘電体基板を挿入することを特徴とする高周波回路。

【請求項2】 第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、上記第2の誘電体基板を上記第1の地導体と密着させる一方、第3の誘電体基板の厚さを第2の地導体と上記第1の誘電体基板の間隔よりも薄くして、上記第3の誘電体基板を上記第2の地導体と密着させることを特徴とする請求項1記載の高周波回路。

【請求項3】 第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、上記第2の誘電体基板を上記第1の誘電体基板と密着させる一方、第3の誘電体基板の厚さを第2の地導体と上記第1の誘電体基板の間隔よりも薄くして、上記第3の誘電体基板を上記第1の誘電体基板と密着させることを特徴とする請求項1記載の高周波回路。

【請求項4】 ストリップ導体が形成された第1の誘電体基板と、上記第1の誘電体基板の上面側に配置された第1の地導体と、上記第1の誘電体基板の下面側に配置された第2の地導体と、上記第1の地導体と上記ストリップ導体を電氣的に接続するとともに、上記第2の地導体と上記ストリップ導体を電氣的に接続する短絡手段とを備えた高周波回路において、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するように上記ストリップ導体を形成することを特徴とする高周波回路。

【請求項5】 入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成することを特徴とする請求項1から請求項3のうちのいずれか1項記載の高周波回路。

【請求項6】 直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるようにストリップ導体を形成することを特徴とする請求項4または請求項5記載の高周波回路。

【請求項7】 直列キャパシタンス回路を挟んで回路的に

に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるようにストリップ導体を形成することを特徴とする請求項4または請求項5記載の高周波回路。

【請求項8】 第1の地導体が上面に施された第1の誘電体基板と、上記第1の誘電体基板に積層され、第1のストリップ導体が上面に施された第2の誘電体基板と、上記第2の誘電体基板に積層され、第2のストリップ導体が上面に施された第3の誘電体基板と、上記第3の誘電体基板に積層され、第2の地導体が上面に施された第4の誘電体基板と、上記第1及び第2の地導体と上記第1及び第2のストリップ導体を電氣的に接続する短絡手段とを備えた高周波回路において、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するように上記第1及び第2のストリップ導体を形成し、かつ、上記直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるように上記第1及び第2のストリップ導体を形成することを特徴とする高周波回路。

【請求項9】 直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるように第1及び第2のストリップ導体を形成することを特徴とする請求項8記載の高周波回路。

【請求項10】 回路構成が一端終端形となるように直列キャパシタンス回路の容量値と並列インダクタンス回路のインダクタンス値が選定された高域通過フィルタと、回路構成が一端終端形である低域通過フィルタとを組み合わせ分岐器を構成することを特徴とする請求項1から請求項9のうちのいずれか1項記載の高周波回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばVHF帯、UHF帯、マイクロ波帯及びミリ波帯で用いられる高周波回路に関するものである。

【0002】

【従来の技術】図31は従来の高周波回路を示す分解構造図であり、図において、1は地導体、2は誘電体基板、3は地導体、4は入力線路を構成するストリップ導体、5は出力線路を構成するストリップ導体、6a～6dは直列キャパシタンス回路、8、9、10は1/4波長以下の長さのショートスタブを構成する並列インダクタンス回路、11はネジ、12は導体構造物、13は通し穴、14は導体構造物である。なお、図32は高周波

回路の側方断面図であり、図33は通し穴の断面構造図である。図32において、15、16は空気層である。

【0003】次に動作について説明する。図31の高周波回路は、高域通過フィルタを構成しているの、高域通過フィルタとしての動作を説明する。

【0004】並列インダクタンス回路8~10と直列キャパシタンス回路6a~6dが交互に接続され、それらが入力線路を構成するストリップ導体4と出力線路を構成するストリップ導体5の間に接続されている。このため、入力線路から入射されたマイクロ波等の高周波信号のうち、ある周波数を境にして低い周波数側の信号は、周波数が低いほど並列インダクタンス回路8~10が短絡回路に近づき、かつ、直列キャパシタンス回路6a~6dが開放回路に近づくため、ほとんどの電力が反射される。

【0005】一方、高い周波数側の信号は、並列インダクタンス回路8~10が開放回路に近づき、かつ、直列キャパシタンス回路6a~6dが短絡回路に近づくため、反射される電力量が少ない。そのため、入射された信号の大部分の電力が出力線路に伝搬される。このようにして、図31の高周波回路は高域通過フィルタとして動作をする。また、並列インダクタンス回路8~10を構成するショートスタブは、隣接するもの同士が対向するようにレイアウトされ、スタブ同士での不要な電磁界結合を防止している。

【0006】

【発明が解決しようとする課題】従来の高周波回路は以上のように構成されているので、ストリップ導体が形成される誘電体基板2と地導体1、3の間に空気層15、16が存在し、回路内を伝搬する高周波信号の大部分が空気層15、16に分布する。そのため、波長短縮効果がほとんど無く、回路が大型になるという課題があった。

【0007】また、図31のようなサスペンデッド線路構造では、ストリップ導体が形成された誘電体基板2と、地導体1、3となる筐体が別々の部品になるため、アセンブリの際、互いの位置関係にズレが生じやすい。位置ズレが発生するとショートスタブを形成するストリップ導体に対する短絡手段（ネジ11、導体構造物12、通し穴13、導体構造物14）の位置が変わり、その結果、ショートスタブの長さが変化する。例えば、位置ズレがスタブ長さ方向に生じると、対向する2つのショートスタブのうち、一方のショートスタブが長くなり、他方のショートスタブが短くなる。この場合、フィルタの通過帯域の反射特性において反射損の大きな劣化を生じる。ただし、スタブの長さ方向と垂直な方向に位置ズレが起きた場合には、フィルタの特性に劣化はほとんど発生しない。このように、特性劣化が起こり易く、かつ、特性のばらつきが大きくなる課題もあった。

【0008】この発明は上記のような課題を解決するた

めになされたもので、回路内を伝搬する高周波信号に対して波長短縮効果をもたらして、回路の小型化を図ることができる高周波回路を得ることを目的とする。また、この発明は、特性が良好で、かつ、ばらつきの少ない回路を実現することができる高周波回路を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る高周波回路は、第1の地導体と第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、第2の地導体と第1の誘電体基板間の空気層に第3の誘電体基板を挿入するようにしたものである。

【0010】この発明に係る高周波回路は、第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、第2の誘電体基板を第1の地導体と密着させる一方、第3の誘電体基板の厚さを第2の地導体と第1の誘電体基板の間隔よりも薄くして、第3の誘電体基板を第2の地導体と密着させるようにしたものである。

【0011】この発明に係る高周波回路は、第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、第2の誘電体基板を第1の誘電体基板と密着させる一方、第3の誘電体基板の厚さを第2の地導体と第1の誘電体基板の間隔よりも薄くして、第3の誘電体基板を第1の誘電体基板と密着させるようにしたものである。

【0012】この発明に係る高周波回路は、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成するものである。

【0013】この発明に係る高周波回路は、第1の地導体と第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、第2の地導体と第1の誘電体基板間の空気層に第3の誘電体基板を挿入する場合において、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成するものである。

【0014】この発明に係る高周波回路は、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるようにストリップ導体を形成するものである。

【0015】この発明に係る高周波回路は、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるようにストリップ導体を形成するもの

10

20

30

40

50

ンス回路25a~25cを構成するショートスタブは、隣接するもの同士が対向するようにレイアウトされ、スタブ同士での不要な電磁界結合を防止している。

【0028】ところで、この実施の形態1では、従来の高周波回路の空気層15、16の部分に誘電体基板51、61を挿入する構造となっているため、回路内を伝搬する高周波信号に対して波長短縮効果が発生する。このため、小型に高域通過フィルタを構成できるという効果を奏する。ここで、誘電体基板51、61の厚さ寸法hを前述のように選んであるため、短絡手段における電

氣的接続はh寸法やd寸法の公差に影響されることがない確実なものとなり、PIM(Passive Inter-modulation)の抑圧された高域通過フィルタを安定的に得ることができる。

【0029】図5はこの実施の形態1におけるサスペンデッドストリップ線路を示す断面構造図である。図5には断面内の電界分布の概略も併記している。この実施の形態1の線路では、線路の特性アドミタンスは、誘電体基板21に形成されているストリップ導体と地導体31、41との間の単位長さ当たりの静電容量に比例する\*20

$$Y_0 = vC$$

$$= 2v \left( \frac{C_1 C_2}{C_1 + C_2} \right) = 2vf(x) \quad (1)$$

【0032】ここで、vは高周波の伝搬速度である。ここでは説明を簡単にするため、伝搬速度vはxによらず一定であるとする。このとき、xの関数の部分f(x)\*

$$f(x) = \frac{\epsilon_{r1}}{(\epsilon_{r1} - 1)x + d} \quad (2)$$

また、f(x)の変化率は次式となる。

$$f'(x) = \frac{-\epsilon_{r1}(\epsilon_{r1} - 1)}{\{(\epsilon_{r1} - 1)x + d\}^2} \quad (3)$$

【0033】さて、xの変域は0以上d以下である。したがって、f(x)の変化率の絶対値はxが0近傍のところで最も大きく、xが0から大きくなるにしたがってxの2乗に反比例して減少していく。そして、xがdとなると変化率の絶対値は最も小さくなる。即ち、空気層71、72が薄く、0に近い時ほど、その層の厚さの変化による特性アドミタンス変化量が大きくなることが分かる。

【0034】サスペンデッドストリップ線路を用いた回路を小型化するために、ストリップ導体を設けた誘電体基板21と地導体31、41間の空気層に誘電体を充填すると、充填した誘電体による波長短縮効果で回路を小さくすることができる。その効果を最大限に得るには空気層のところに隙間なく誘電体を充填するのが良い。しかしながら、地導体31、41とストリップ導体を設け

\*ものと考えてよい。

【0030】また、図5に示すように、誘電体基板21と空気層71間の境界面と、誘電体基板21と空気層72間の境界面は、電界に対してほぼ垂直となるため、ストリップ導体と地導体31、41との間の静電容量は、図6のような平行平板容量素子の直列接続で考えることができる。図6において、C1は誘電体基板21に対応する静電容量素子、C2は空気層71に対応する静電容量素子である。平行平板の幅はストリップ導体の幅とし、C2の平行平板間隔をxとし、C1の平行平板間隔はd-x(=h)とする。

【0031】dは前述のように、短絡手段を構成する導体構造物33a~33c、42a~42cの高さ寸法である。C1の誘電体の比誘電率は $\epsilon_{r1}$ 、C2の誘電体の比誘電率は $\epsilon_{r2}$ とする。なお、誘電体基板21の厚さは寸法dに比べ十分に小さいものとする。図6の端子a-a'間の静電容量値をCとすると、線路の特性アドミタンスは下記の式で表され、xの関数で表すことができる。

【数1】

\*は次式となる。

【数2】

★ ★ 【数3】

た誘電体基板21とが別部品で構成され、なおかつ、地導体31、41とストリップ導体間の短絡手段が必要な回路では、誘電体を隙間なく充填しようとしても、短絡手段を構成する導体構造物33a~33c、42a~42cの機械的な寸法公差と、誘電体基板51、61の厚さ寸法の公差は一致しないため、完全に空気層を無くすることはできないことになる。

【0035】あえて隙間があくことのないように誘電体基板51、61の厚さ寸法と短絡手段を構成する導体構造物33a~33c、42a~42cの高さ寸法を選べると、2つの部品の寸法公差の絶対値の和を最大とする微小な厚さの空気層ができる。しかも、この空気層の厚さは0から上記の最大値の範囲でばらつきが生じる。式

(3)で示したように、空気層の厚さxが0に近いときには特性アドミタンスの変化率が大きく、この結果、高

域通過フィルタの特性をばらつかせる原因になる。

【0036】そこで、例えば、空気層の厚さ $x$ として $d/\epsilon_r$ なる値を用いるとすると、 $f(x)$ の変化率は次式となり、 $x=0$ 近傍の変化率よりもかなり小さくできることが分かる。通常、短絡手段を構成する導体構造\*

$$f'(x)\Big|_{x=\frac{d}{\epsilon_r}} = \left(\frac{\epsilon_r}{2\epsilon_r - 1}\right)^2 f'(x)\Big|_{x=0} \quad (4)$$

仮に、誘電体基板51、61の比誘電率を3程度とすると、空気層71、72の厚さは $d/3$ となる。このとき式(4)によれば、特性アドミタンスの変化率は空気層が0に近い時の36%に低減される。

【0037】このように、この実施の形態1では、誘電体基板71、72の厚さを、導体構造物33a~33c、42a~42cの高さ寸法 $d$ から、導体構造物33a~33c、42a~42cの高さ寸法 $d$ の寸法公差絶対値と誘電体基板51、61の厚さ寸法公差の絶対値との和より十分大きな値を差し引いた厚さとする事で、短絡手段での確実な電気的接続を確保してPIMを抑圧できる構造としつつ、誘電体基板51、61を装着したことによる波長短縮効果によって小型化が可能である。なおかつ、高域通過フィルタを構成する部品の寸法公差による特性アドミタンスのばらつきが小さく、特性の良好な高域通過フィルタを安定して得ることができるという効果がある。

【0038】この他、この実施の形態1では、誘電体基板51、61を地導体31、41と密着させるとともに、誘電体基板21との間に空気層71、72を設けているので、誘電体基板51、61の位置決めが容易になり、機構面でのメリットも奏する。

【0039】実施の形態2、上記実施の形態1では、誘電体基板51を地導体31と密着するように固定し、誘電体基板61を地導体41と密着するように固定するものについて示したが、図7及び図8に示すように、誘電体基板51、61を誘電体基板21と密着するように固定してもよく、上記実施の形態1と同様の効果を奏する。

【0040】なお、この実施の形態2では、誘電体基板51、61がストリップ導体が形成された誘電体基板21を挟むように密着させているので、耐電力の面で優れているという効果を奏する。これは、電磁界の境界条件のひとつである電束密度の法線成分の連続性から、空気層の部分では誘電体基板内よりも電界強度が大きくなることに起因している。ストリップ導体近傍は、地導体近傍にくらべ導体面積が小さいことから電界が集中しており、誘電体の有無による電界強度の変化が大きいの。また、ストリップ導体の幅が狭くなるほど電界は集中の度合いを増すので、フィルタにストリップ導体幅の狭い部分を多く介在させなければならない場合、この実施の形態2の構造は耐電力で効果が大きい。

\*物33a~33c、42a~42cの機械加工寸法公差、および、誘電体基板51、61の厚さ寸法の公差は、上記のような空気層厚さ $x=d/\epsilon_r$ よりも十分小さくなる。

【数4】

【0041】さらに、ストリップ導体が形成された誘電体基板21が誘電体基板51、61に挟まれるので、誘電体基板51、61の平面度と剛性が高ければ、誘電体基板21には剛性の小さい(柔らかい)基板材料を用いることが可能で、材料的な自由度のほか、非常に薄い基板を誘電体基板21に使用することができるという特徴がある。薄い基板を使用することが可能であると、直列キャパシタンス回路24a~24dの面積を小さくすることができるため回路が小型となる他、小型になることで集中定数素子に近づくので、特性も良好になるという効果が生じる。

【0042】実施の形態3、図9はこの発明の実施の形態3による高周波回路を示す分解構造図、図10は高周波回路の側方断面図、図11は誘電体基板21を示す平面図である。この実施の形態3では、図9及び図11に示すように、入力線路及び出力線路を構成するストリップ導体22、23に対して、並列インダクタンス回路25a、25b、25cを構成するショートスタブの線路を斜めにレイアウトしていることが特徴である。ここで、直列キャパシタンス回路24a~24dを挟んで回路的に隣り合う2つのショートスタブ同士は、互いのなす角が略 $\pi/2$ ラジアン(90度)となるようになっている。

【0043】以下、ショートスタブの線路を斜めにレイアウトすることによる効果について説明する。図12は誘電体基板21と導体構造物33a~33c、42a~42cに位置ズレが起きたときに生じるスタブ長誤差の一例を示す説明図である。この例では、+x方向に $\Delta$ の位置ズレが起きたときのスタブ長誤差を示している。

【0044】位置ズレの量および方向と、スタブ長誤差の関係を説明する。図13のように、直列キャパシタンス回路を挟んで対向する2つのスタブA、Bのそれぞれの入力線路の長さ方向に対する角度を $\theta_a$ 、 $\theta_b$ とし、方向ベクトル(単位ベクトル)を $a$ 、 $b$ とする。また、2つの方向ベクトル $a$ 、 $b$ のなす角を $\phi$ とする。さらに、短絡手段を構成する導体構造物33a~33c、42a~42cに対する誘電体基板21のノミナル位置からの位置ズレ量を、大きさと方向が任意のベクトル $E$ で表すものとする。つまり、位置ズレの大きさが $E$ 、方向が $\theta$ で表される。このとき、位置ズレによるスタブAの長さ誤差を $\delta_a$ 、スタブBの長さ誤差を $\delta_b$ とすると、これらはそれぞれ次式で表される。

【数5】

$$\begin{aligned}\frac{\delta_a}{E} &= a \cdot e \\ &= \cos(\theta_a - \theta_e) \\ &= \cos \theta_e \quad (\text{when } \theta_a = 0)\end{aligned}$$

$$\begin{aligned}\frac{\delta_b}{E} &= b \cdot e \\ &= \cos(\theta_b - \theta_e) \\ &= \cos(\phi - \theta_e) \quad (\text{when } \theta_a = 0)\end{aligned}$$

【0045】ここで、角度の基準をスタブAの方向に一致させるため、 $\theta_a = 0$ とすると、2つのスタブの長さ\*

\* 誤差の2乗の和は次式となる。

【数6】

$$\begin{aligned}\frac{\Delta^2}{E^2} &= \left(\frac{\delta_a}{E}\right)^2 + \left(\frac{\delta_b}{E}\right)^2 \\ &= \cos^2 \theta_e + \cos^2(\phi - \theta_e)\end{aligned} \quad (7)$$

$\theta_e$ の変域、 $0 \sim 2\pi$ において、式(7)を用いて2つのスタブ長誤差の2乗の和を、2つのスタブのなす角 $\phi$ をパラメータとしてグラフにすると、図14のようになる。

【0046】式(7)からも予想できるが、 $\phi$ を $\pi/2$ 、もしくは、 $3\pi/2$ としたとき、スタブ長誤差の2乗の和が位置ズレ方向によらず一定となることが分かる。 $\phi$ の値をこれ以外の値とすると、位置ズレの方向によっては、スタブの長さ誤差が小さくなることもあるが、逆に長さ誤差が非常に大きくなる場合が出てくる。即ち、この実施の形態3の高域通過フィルタでは、短絡手段を構成する導体構造物33a~33c、42a~42cと誘電体基板21間の位置ズレの方向によりスタブ長誤差の合計に差が生じることがなく、フィルタの特性が極めて安定するという効果を奏する。これは、フィルタの歩留まりの向上や、位置ズレを調整する作業を不要とするなど、フィルタの低価格化につながる。

【0047】実施の形態4、上記実施の形態3では、入力線路及び出力線路を構成するストリップ導体22、23に対して、並列インダクタンス回路25a、25b、25cを構成するショートスタブの線路を斜めにレイアウトするものについて示したが、図15及び図16に示すように、並列インダクタンス回路25a、25b、25cを構成するショートスタブの線路を途中で折り曲げるようにしてもよい。ここで、直列キャパシタンス回路24a~24dを挟んで回路的に隣り合う2つのショートスタブの短絡手段近傍の線路同士は、互いのなす角が略 $\pi/2$ ラジアン(90度)となるように折り曲げてある。

【0048】この実施の形態4の高域通過フィルタは、

基本的には上記実施の形態3と同様の効果を奏するが、これに加え、スタブ線路の途中で折り曲げているため、フィルタの長手方向の長さが短くなり、フィルタを小型に構成できるという効果を奏する。これは、ショートスタブの長さが長いフィルタで有効となる。

【0049】実施の形態5、図17はこの発明の実施の形態5による高周波回路を示す分解構造図、図18は高周波回路の側方断面図、図19は誘電体基板111を示す平面図、図20は誘電体基板121を示す平面図、図21は誘電体基板111、121を重ねて上方から見た図であって、ストリップ導体パターンとのオーバーラップを説明する説明図、図22はヴィアホール部分の断面構造図である。図18~図22において、101は地導体102が上面に施され、LTCC(Low Temperature Co-fired Ceramics: 低温焼成セラミックス)材料で形成された誘電体基板(第1の誘電体基板)、102は地導体(第1の地導体)である。

【0050】111はストリップ導体112a、112bが上面に施され、LTCC材料で形成された誘電体基板(第2の誘電体基板)、112a、112bはストリップ導体(第1のストリップ導体)、113a、113bは $1/4$ 波長以下の長さのショートスタブを構成する並列インダクタンス回路、114a、114b、114cはランド115a~115cと電気的に接続されているヴィアホール、115a、115b、115cはストリップ導体で形成されたランドである。

【0051】121はストリップ導体122、123が上面に施され、LTCC材料で形成された誘電体基板(第3の誘電体基板)、122は入力線路を構成するス

トリップ導体、123は出力線路を構成するストリップ導体、124は $1/4$ 波長以下の長さのショートスタブを構成する並列インダクタンス回路、125a、125b、125cはランド126a~126cと電氣的に接続されているビアホール、126a、126b、126cはストリップ導体で形成されたランドである。

【0052】131は地導体132が上面に施され、LTCC材料で形成された誘電体基板（第4の誘電体基板）、132は地導体（第2の地導体）、133a、133b、133cは地導体132と電氣的に接続されているビアホール、141a、141b、141c、141dは誘電体基板111、121に形成されたストリップ導体のオーバーラップにより構成された直列キャパシタンス回路である。なお、ビアホール114a~114c、125a~125c、133a~133c及びランド115a~115c、126a~126cから短絡手段が構成されている。

【0053】この実施の形態5の高域通過フィルタは、4枚の誘電体基板を重ね合わせて構成されており、図17、図19~21に示すように、入力線路及び出力線路を構成するストリップ導体122、123に対して、並列インダクタンス回路113a、113b、124を構成するショートスタブの線路を斜めにレイアウトしていることが特徴である。ここで、直列キャパシタンス回路141a~141dを挟んで回路的に隣り合う2つのショートスタブ同士は、互いのなす角が略 $\pi/2$ ラジアン（90度）となるようにレイアウトされている。

【0054】この実施の形態5の高域通過フィルタは、基本的には上記実施の形態3のフィルタと同様な動作をする。LTCC材料は近年、マイクロ波等の高周波の多層回路用の誘電体基板の材料として用いられるようになったものである。LTCC材料は焼成温度が従来のセラミクス材料に比べて低いため、導電率の高い良導体を内層のパターン導体として用いることができる。そのため、低損失な多層回路が構成し易く、また、製造のための装置が安価なため低コストに製造できる特徴がある。

【0055】しかしながら、LTCC基板で多層回路を構成する場合には、その製造方法の関係上、層間の位置精度がパターン精度に比べて低いという欠点がある。このため、複数の層間に跨って構成されるショートスタブにおいては、スタブを構成するストリップ線路のパターン導体と、短絡手段を構成するビアホールの位置関係においてズレが生じやすく、この結果、ショートスタブ長の誤差による特性劣化や特性ばらつきを引き起こしやすい。

【0056】この実施の形態5の高域通過フィルタは、ショートスタブのレイアウトによって、上記の位置ズレの影響を小さく抑えたものであり、直列キャパシタンス回路141a~141dを挟んで隣接するショートスタブのなす角を略 $\pi/2$ （90度）としたものである。こ

れにより、上記実施の形態3で示したように、短絡手段を構成するビアホール114a~114c、125a~125c、133a~133cと、誘電体基板111、112上のストリップ導体パターンとの間の位置ズレの方向に依らずスタブ長誤差の2乗和を一定とすることができ、特性劣化を低減するとともに特性のばらつきを低減できるという効果を奏する。そして、フィルタの歩留まり向上により低価格化が可能となる効果がある。

【0057】なお、この実施の形態5では、誘電体基板101の上方の主面に地導体102を設ける構造を示しているが、地導体102は誘電体基板111の下方の主面に構成してもよい。このように、導体パターンを配置する誘電体基板が一部異なっているが、構造が本実施の形態の高域通過フィルタと若干異なっているとしても同様な動作をするフィルタを得ることができるのは言うまでもなく、本明細書ではこのような構造の違いを限定するものではない。

【0058】実施の形態6. 上記実施の形態5では、入力線路及び出力線路を構成するストリップ導体122、123に対して、並列インダクタンス回路113a、113b、124を構成するショートスタブの線路を斜めにレイアウトするものについて示したが、図23~図26に示すように、並列インダクタンス回路113a、113b、124を構成するショートスタブの線路を途中で折り曲げるようにしてもよい。ここで、直列キャパシタンス回路141a~141dを挟んで回路的に隣り合う2つのショートスタブの短絡手段近傍の線路同士は、互いのなす角が略 $\pi/2$ ラジアン（90度）となるように折り曲げてある。

【0059】この実施の形態6の高域通過フィルタは、基本的には上記実施の形態5と同様の効果を奏するが、これに加え、スタブ線路の途中で折り曲げているため、フィルタの長手方向の長さが短くなり、フィルタを小型に構成できるという効果を奏する。これは、ショートスタブの長さが長いフィルタで有効となる。

【0060】実施の形態7. 図27はこの発明の実施の形態7による高周波回路を示す分解構造図、図28は高周波回路の側方断面図、図29は誘電体基板21を示す平面図、図30は分波器を示す構成図である。図27~30において、151は入力線路を構成するストリップ導体、152、155は出力線路を構成するストリップ導体、153a~153dは高インピーダンス線路で構成された直列インダクタンス回路、154a~154cは低インピーダンス線路で構成された並列キャパシタンス回路である。

【0061】161は直列キャパシタンス回路24a~24d及び並列インダクタンス回路25a~25cから構成された高域通過フィルタ、162はT分岐回路、163は直列インダクタンス回路153a~153d及び並列キャパシタンス回路154a~154cから構成さ



れた低域通過フィルタである。なお、高域通過フィルタ161と低域通過フィルタ163のインダクタンス回路及びキャパシタンス回路は、一端終端形の回路となるように、インダクタンス値及びキャパシタンス値が選択されている。

【0062】次に動作について説明する。図27の高周波回路は、分波器を構成しているため、分波器としての動作を説明する。

【0063】入力線路151から入射されたマイクロ波等の高周波信号のうち、ある周波数を境にして低い周波数側の信号は、高域通過フィルタ161において殆どの電力が反射される。しかし、低域通過フィルタ163において、直列インダクタンス回路153a～153dが短絡回路に近づくとともに、並列キャパシタンス回路154a～154cが開放回路に近づくために反射する電力量が少なく、入力線路151から入射された信号の大部分が出力線路155に伝搬される。

【0064】一方、高い周波数側の信号は、低域通過フィルタ163において、直列インダクタンス回路153a～153dが開放回路に近づくとともに、並列キャパシタンス回路154a～154cが短絡回路に近づくために、殆どの電力が反射される。しかし、高域通過フィルタ161において反射する電力量が少ないため、入力線路151から入射された信号の大部分が出力線路152に伝搬される。

【0065】こうして、この実施の形態7の回路は、高周波信号をある周波数を境にして、高い周波数側の信号と低い周波数側の信号で分ける分波器として動作する。また、2つのフィルタがいずれも一端終端形として設計されているため、T分岐回路162側から見たそれぞれのフィルタの入力アドミタンスにおいて、サセプタンスの符号が互いに逆の関係となっていて打ち消し合う。このため、入力線路151では、広い周波数帯域にわたり、良好な反射特性が得られる特徴がある。

【0066】本分波器の2つのフィルタは、上述のように一端終端形の回路設計が為されているため、入力線路151での反射特性は、2つのフィルタの入力サセプタンスが打ち消し合う関係にあることで良好な特性を維持できる仕組みとなっている。したがって、一方のフィルタの入力サセプタンス（アドミタンス）特性が所定の特性から誤差を含むと、入力線路151での反射特性が広い周波数範囲にわたって大幅に劣化しやすいという欠点がある。

【0067】この実施の形態7の分波器の構成要素である高域通過フィルタ161については、上記実施の形態4で示したフィルタと基本的に同様な構造となっているため同様な特徴を有する。即ち、小型なサスペンデッド線路構造ながら、特性インピーダンスのばらつきが少なく、かつ、誘電体基板の位置ズレによる特性劣化量が少なくばらつきが少ない特徴がある。一方、低域通過フィ

ルタ163では小型なサスペンデッド線路構造ながら、特性インピーダンスのばらつきが少ない点は高域通過フィルタと同様であるが、短絡手段等はないため特性ズレはもともと少ない。したがって、この実施の形態7の分波器では、構成要素となる2つのフィルタの特性ばらつきがいずれも少ない。このため、入力線路151において良好な反射特性を広い周波数帯域にわたって得やすく、特性が良好で、かつ、ばらつきが少ない分波器が得られる効果を奏する。

【0068】

【発明の効果】以上のように、この発明によれば、第1の地導体と第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、第2の地導体と第1の誘電体基板間の空気層に第3の誘電体基板を挿入するように構成したので、回路内を伝搬する高周波信号に対して波長短縮効果をもたらして、回路の小型化を図ることができる効果がある。

【0069】この発明によれば、第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、第2の誘電体基板を第1の地導体と密着させる一方、第3の誘電体基板の厚さを第2の地導体と第1の誘電体基板の間隔よりも薄くして、第3の誘電体基板を第2の地導体と密着させるように構成したので、PIMを発生させることなく、特性が良好で、かつ、ばらつきの少ない回路を実現することができる効果がある。

【0070】この発明によれば、第2の誘電体基板の厚さを第1の地導体と第1の誘電体基板の間隔よりも薄くして、第2の誘電体基板を第1の誘電体基板と密着させる一方、第3の誘電体基板の厚さを第2の地導体と第1の誘電体基板の間隔よりも薄くして、第3の誘電体基板を第1の誘電体基板と密着させるように構成したので、PIMを発生させることなく、特性が良好で、かつ、ばらつきの少ない回路を実現することができるとともに、耐電力を高めることができる効果がある。

【0071】この発明によれば、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成する構成にしたので、特性が良好で、かつ、ばらつきの少ない回路を実現することができる効果がある。

【0072】この発明によれば、第1の地導体と第1の誘電体基板間の空気層に第2の誘電体基板を挿入するとともに、第2の地導体と第1の誘電体基板間の空気層に第3の誘電体基板を挿入する場合において、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するようにストリップ導体を形成する構成にしたので、特性が良好で、か

つ、ばらつきの少ない回路を実現することができる効果がある。

【0073】この発明によれば、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるようにストリップ導体を形成する構成にしたので、フィルタ特性の安定化を図ることができる効果がある。

【0074】この発明によれば、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるようにストリップ導体を形成する構成にしたので、フィルタ特性の安定化を図ることができるとともに、フィルタの小型化を図ることができる効果がある。

【0075】この発明によれば、入力線路と出力線路の間に少なくとも1以上の直列キャパシタンス回路と並列インダクタンス回路を交互に接続するとともに、その直列キャパシタンス回路を挟む複数の並列インダクタンス回路同士を対向して配置するように第1及び第2のストリップ導体を形成し、かつ、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路同士のなす角が90度になるように第1及び第2のストリップ導体を形成する構成にしたので、フィルタ特性の安定化を図ることができる効果がある。

【0076】この発明によれば、直列キャパシタンス回路を挟んで回路的に隣り合う並列インダクタンス回路を構成するショートスタブの線路を途中で折り曲げて、そのショートスタブの折り曲げ部分同士のなす角が90度になるように第1及び第2のストリップ導体を形成する構成にしたので、フィルタ特性の安定化を図ることができるとともに、フィルタの小型化を図ることができる効果がある。

【0077】この発明によれば、回路構成が一端終端形となるように直列キャパシタンス回路の容量値と並列インダクタンス回路のインダクタンス値が選定された高域通過フィルタと、回路構成が一端終端形である低域通過フィルタとを組み合わせて分波器を構成するように構成したので、特性が良好で、かつ、ばらつきが少ない分波器が得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による高周波回路を示す分解構造図である。

【図2】 高周波回路の側方断面図である。

【図3】 誘電体基板21を示す平面図である。

【図4】 通し穴の断面構造図である。

【図5】 この実施の形態1におけるサスペンデッドストリップ線路を示す断面構造図である。

【図6】 高域通過フィルタのサスペンデッドストリップ線路の断面における静電容量を近似的に表す回路図である。

【図7】 高周波回路の側方断面図である。

【図8】 通し穴の断面構造図である。

【図9】 この発明の実施の形態3による高周波回路を示す分解構造図である。

【図10】 高周波回路の側方断面図である。

【図11】 誘電体基板21を示す平面図である。

【図12】 誘電体基板21と導体構造物33a~33c、42a~42cに位置ズレが生じたときに生じるスタブ長誤差の一例を示す説明図である。

10 【図13】 誘電体基板21と導体構造物33a~33c、42a~42cとの間の位置ズレの量及び方向と、スタブ長誤差の関係を説明する説明図である。

【図14】 誘電体基板21と導体構造物33a~33c、42a~42cとの間の位置ズレの方向と、2つの対向するスタブのスタブ長誤差の2乗和の関係を示すグラフ図である。

【図15】 この発明の実施の形態4による高周波回路を示す分解構造図である。

【図16】 誘電体基板21を示す平面図である。

20 【図17】 この発明の実施の形態5による高周波回路を示す分解構造図である。

【図18】 高周波回路の側方断面図である。

【図19】 誘電体基板111を示す平面図である。

【図20】 誘電体基板121を示す平面図である。

【図21】 誘電体基板111、112を重ねて上方から見た図であって、ストリップ導体パターンのオーバーラップを説明する説明図である。

【図22】 ヴィアホール部分の断面構造図である。

30 【図23】 この発明の実施の形態6による高周波回路を示す分解構造図である。

【図24】 誘電体基板111を示す平面図である。

【図25】 誘電体基板121を示す平面図である。

【図26】 誘電体基板111、112を重ねて上方から見た図であって、ストリップ導体パターンのオーバーラップを説明する説明図である。

【図27】 この発明の実施の形態7による高周波回路を示す分解構造図である。

【図28】 高周波回路の側方断面図である。

【図29】 誘電体基板21を示す平面図である。

40 【図30】 分波器を示す構成図である。

【図31】 従来の高周波回路を示す分解構造図である。

【図32】 高周波回路の側方断面図である。

【図33】 通し穴の断面構造図である。

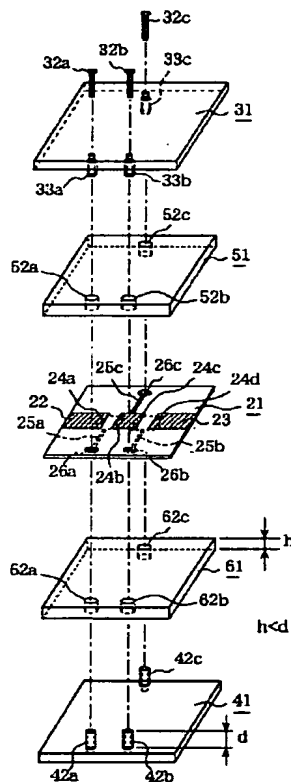
【符号の説明】

21 誘電体基板（第1の誘電体基板）、22 ストリップ導体、23 ストリップ導体、24a、24b、24c、24d 直列キャパシタンス回路、25a、25b、25c 並列インダクタンス回路、26a、26b、26c 通し穴、27a、27b、27c ラン

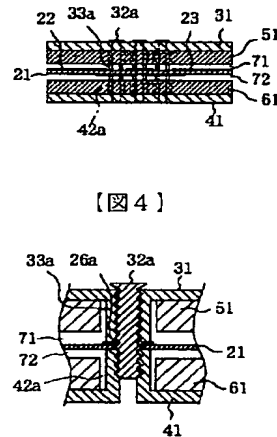
10  
 F、31 地導体（第1の地導体）、32a、32b、  
 32c ネジ（短絡手段）、33a、33b、33c  
 導体構造物（短絡手段）、41 地導体（第2の地導  
 体）、42a、42b、42c 導体構造物（短絡手  
 段）、51 誘電体基板（第2の誘電体基板）、52  
 a、52b、52c 通し穴（短絡手段）、61 誘電  
 体基板（第3の誘電体基板）、62a、62b、62c  
 通し穴（短絡手段）、71、72 空気層、101  
 誘電体基板（第1の誘電体基板）、102 地導体（第  
 1の地導体）、111 誘電体基板（第2の誘電体基  
 板）、112a、112b ストリップ導体（第1のスト  
 リップ導体）、113a、113b 並列インダクタン  
 ス回路、114a、114b、114c ヴィアホール  
 （短絡手段）、115a、115b、115c ランド\*

\*（短絡手段）、121 誘電体基板（第3の誘電体基  
 板）、122 ストリップ導体、123 ストリップ導  
 体、124 並列インダクタン回路、125a、12  
 5b、125c ヴィアホール（短絡手段）、126  
 a、126b、126c ランド（短絡手段）、131  
 誘電体基板（第4の誘電体基板）、132 地導体  
 （第2の地導体）、133a、133b、133c ヴ  
 ィアホール（短絡手段）、141a、141b、141  
 c、141d 直列キャパシタンス回路、151 ス  
 トリップ導体、152、155 ストリップ導体、153  
 a～153d 直列インダクタン回路、154a～1  
 54c 並列キャパシタンス回路、161 高域通過フ  
 ィルタ、162 T分岐回路、163 低域通過フィル  
 タ。

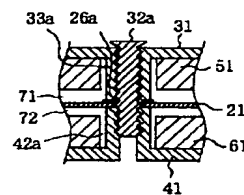
【図1】



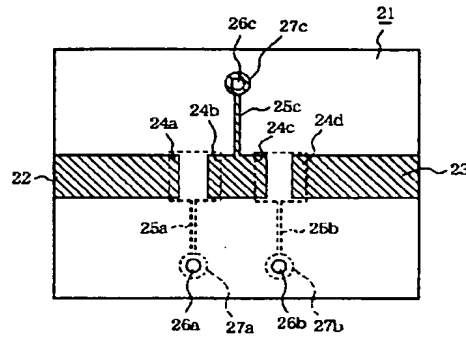
【図2】



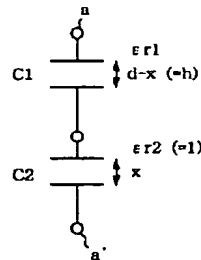
【図4】



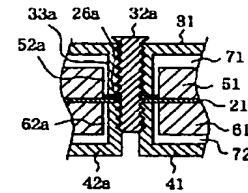
【図3】



【図6】

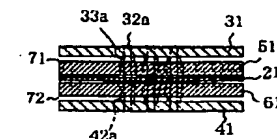


【図8】

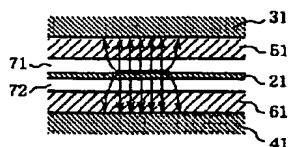


【図18】

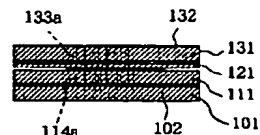
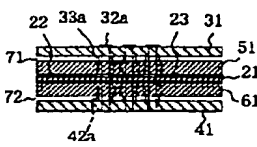
【図10】



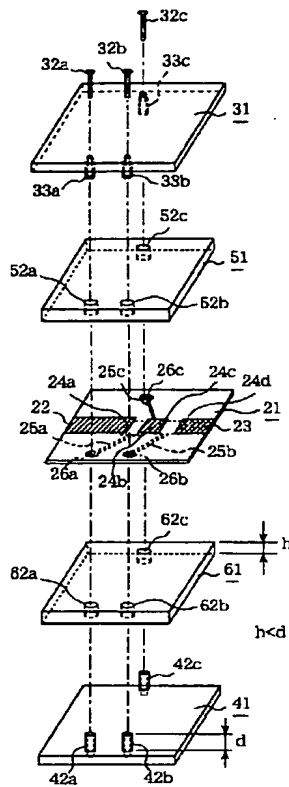
【図5】



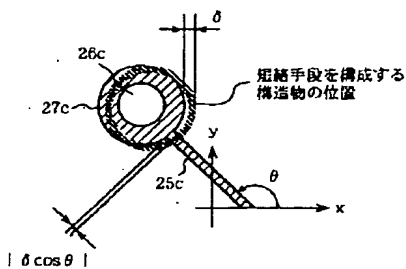
【図7】



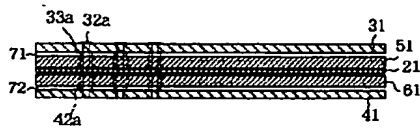
【図9】



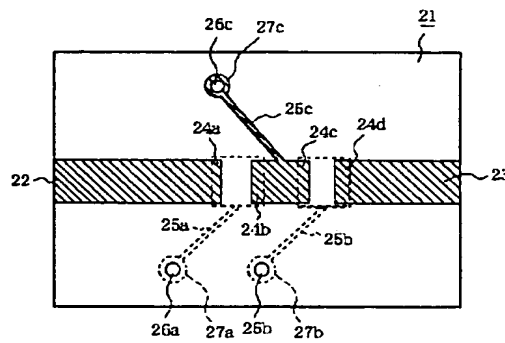
【図12】



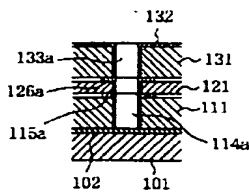
【図28】



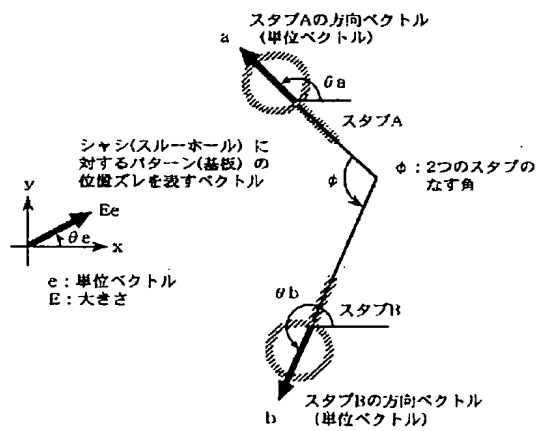
【図11】



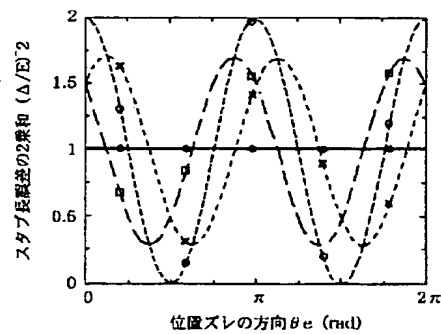
【図22】



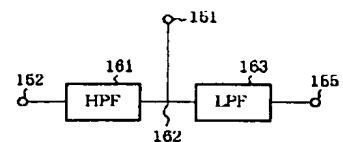
【図13】



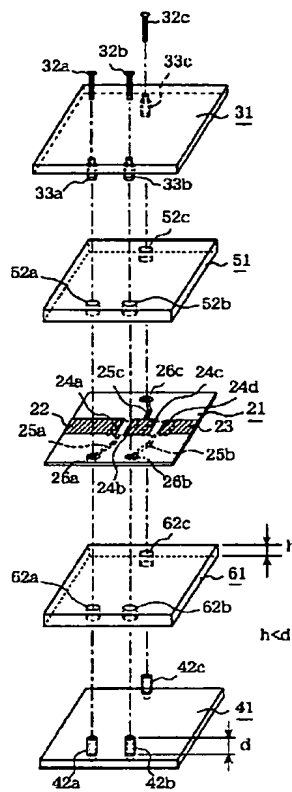
【図14】



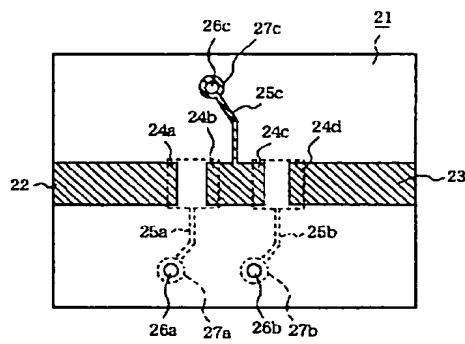
【図30】



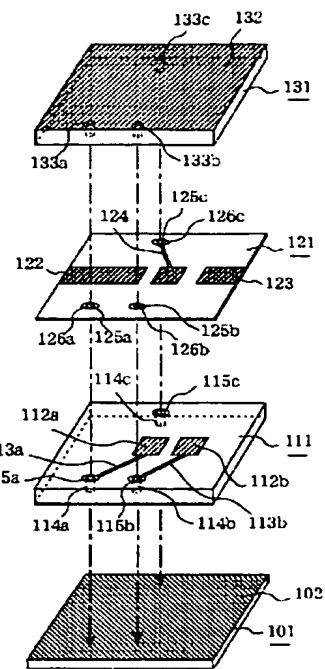
【図15】



【図16】

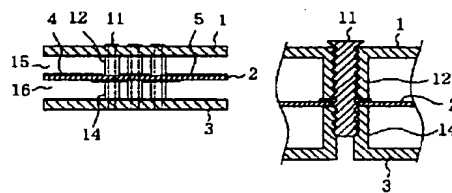


【図17】



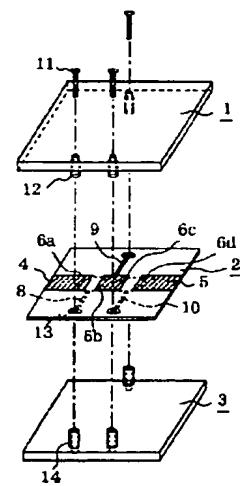
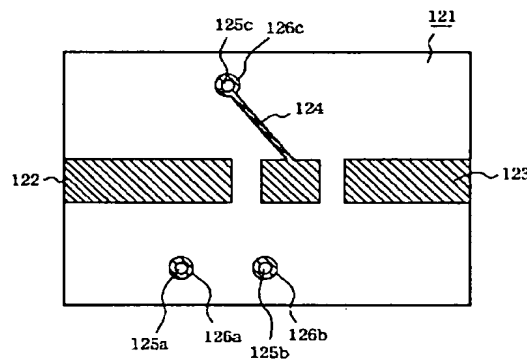
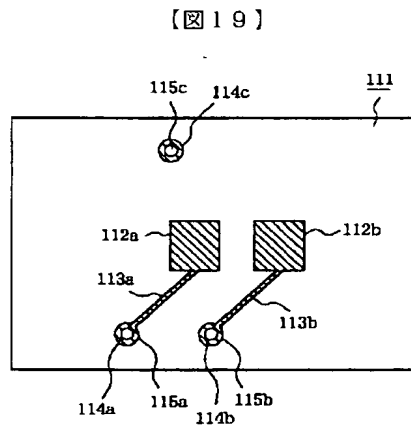
【図32】

【図33】

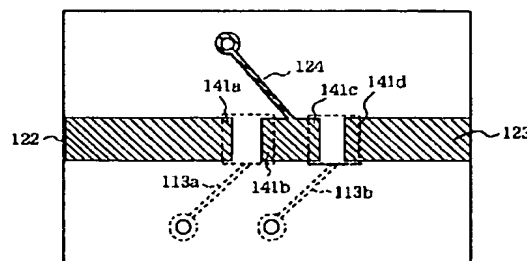


【図20】

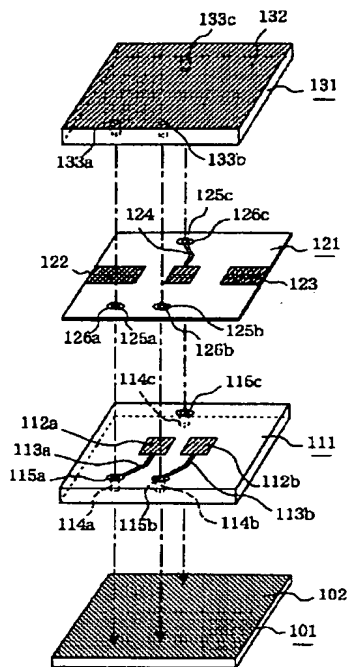
【図31】



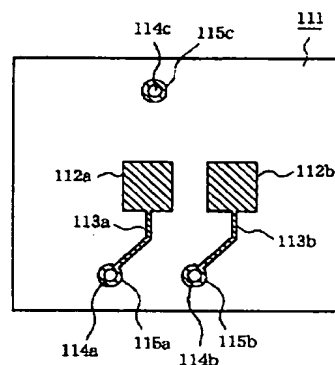
【図21】



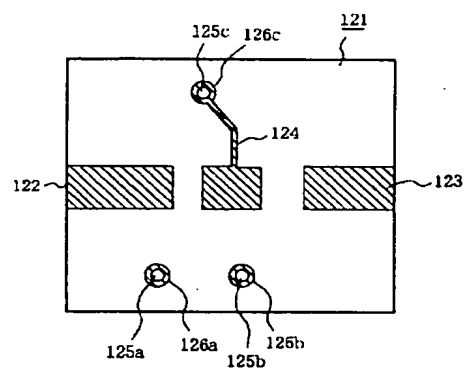
【図23】



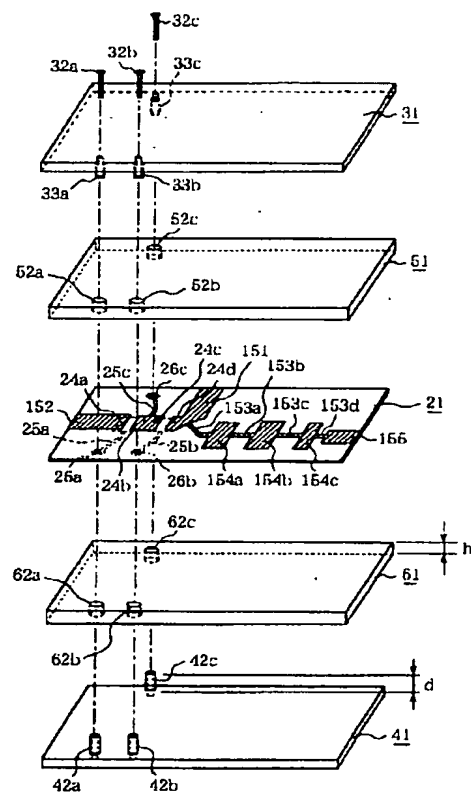
【図24】



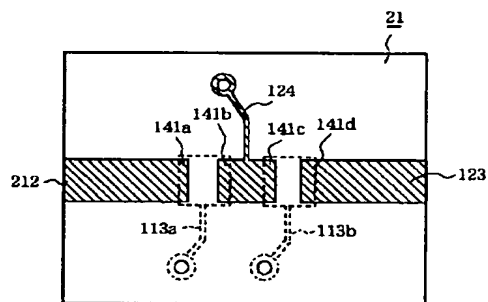
【図25】



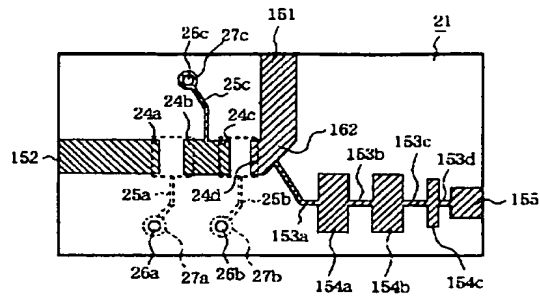
【図27】



【図26】



【図29】



フロントページの続き

(72)発明者 大橋 英征  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 宮▲さき▼ 守▲やす▼  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 栗原 学  
神奈川県鎌倉市山崎25番地 菱電電子機工  
株式会社内  
(72)発明者 茶谷 嘉之  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5J006 HC24 JA03 JA04 JA05 JA23  
KA11 KA22 LA21 NA04 NC02  
NE03